



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Seikoh Yoshida

GAU:

SERIAL NO: 10/812,947

EXAMINER:

FILED: March 31, 2004

FOR: NITRIDE-BASED COMPOUND SEMICONDUCTOR ELECTRON DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| Japan | 2003-313765 | September 5, 2003 |

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee

Respectfully Submitted,

Furukawa Electric North America, Inc.

Kanichiro Yamamoto
 Kanichiro YAMAMOTO
 with limited recognition filed at the time of filing the application

Date: Aug. 2, 2004

Tel (703)684-4478
 Fax (703)684-4480
 Customer Number:000041646

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月 5日
Date of Application:

出願番号 特願 2003-313765
Application Number:

[ST. 10/C] : [JP 2003-313765]

願人
Applicant(s): 古河電気工業株式会社

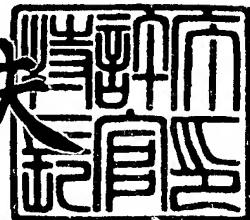
BEST AVAILABLE COPY

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 3月 26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特 2004-3025224

【書類名】 特許願
【整理番号】 0300077
【あて先】 特許庁長官 殿
【国際特許分類】 H03F 3/20
【発明者】
【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内
【氏名】 吉田 清輝
【特許出願人】
【識別番号】 000005290
【氏名又は名称】 古河電気工業株式会社
【代表者】 石原 廣司
【電話番号】 045-311-1220
【手数料の表示】
【予納台帳番号】 005267
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項1】

窒化物系化合物半導体を用いた半導体電子デバイスにおいて、少なくとも基板と、バッファ層、電子走行層及び電子供給層から成る半導体積層構造と電極とを有し、前記バッファ層は、組成式 $A_{1-x}I_{ny}Ga_{1-x-y}As_uP_vN_{1-u-v}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x + y \leq 1$ 、 $0 \leq u < 1$ 、 $0 \leq v < 1$ 、 $u + v < 1$) から成る第1の層と、組成式 $A_{1-a}I_{nb}Ga_{1-a-b}As_cP_dN_{1-c-d}$ ($0 \leq a \leq 1$ 、 $0 \leq b \leq 1$ 、 $a + b \leq 1$ 、 $0 \leq c < 1$ 、 $0 \leq d < 1$ 、 $c + d < 1$) から成る第2の層を含み、かつ前記第1の層と前記第2の層はバンドギャップエネルギーが異なり、かつ前記バッファ層中の2次元電子ガス密度が $5 \times 10^{12} \text{ cm}^{-2}$ 以下であることを特徴とする半導体電子デバイス。

【請求項2】

前記第1の層の1層当たりの厚みが 0.5 nm 以上 20 nm 以下及び前記第2の層の一層当たりの厚みが 0.5 nm 以上 20 nm 以下であることを特徴とする請求項1に記載の半導体電子デバイス。

【請求項3】

前記第2の層のバンドギャップエネルギーが前記第1の層のバンドギャップエネルギーより大きく、かつ前記第2の層のAl組成aが 0.5 以上の場合に、前記第2の層の厚さが 1 nm 以上 10 nm 以下であることを特徴とする請求項1又は2のいずれか1項に記載の半導体電子デバイス。

【請求項4】

前記バッファ層はMg又はBe又はZn又はCを $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下含むことを特徴とする請求項1乃至3のいずれか1項に記載の半導体電子デバイス。

【請求項5】

前記バッファ層は、複数の前記第1の層及び複数の前記第2の層を含み、前記第1の層と前記第2の層は交互に積層されていることを特徴とする請求項1乃至4のいずれか1項に記載の半導体電子デバイス。

【請求項6】

1アンペア以上の電流を流し、または100ボルト以上の電圧を印加した時に使用することを特徴とする請求項1乃至5のいずれか1項に記載の半導体電子デバイス。

【書類名】明細書

【発明の名称】半導体電子デバイス

【技術分野】

【0001】

本発明は、窒化物系化合物半導体を用いた半導体電子デバイスに関する。

【背景技術】

【0002】

窒化物系化合物半導体、例えばGaN系化合物半導体を用いた電界効果トランジスタ（以下GaN系FETという）は、400°C近い温度環境下においても熱暴走することなく動作するFETであり、高温動作固体素子として注目を集めている。GaN系材料では、Si結晶、GaNAs結晶、InP結晶の場合のように大口径の単結晶基板を製造することが困難である。従ってGaNの単結晶基板を用いてGaN系材料の結晶層をエピタキシャル成長させてGaN系FETの層構造を形成することは難しい。そのため、GaN系FETを製造する場合には、次のような方法でGaN系材料の結晶層の成長が行われている。この例を図3に概略図として示した横型GaN系FETを例にして説明する。

【0003】

まず、結晶成長用の基板として、サファイアから成る単結晶基板1の上に、MOCVD法などのエピタキシャル結晶成長法で、結晶成長時の成膜条件（例えば成長温度500~600°C）を適切に選定することにより、基板1の上にはGaN単結晶を主体とする介在層2が成膜される。

【0004】

そして、この介在層2の上に引き続きGaNのエピタキシャル結晶成長を行ってバッファ層3、電子走行層4、電子供給層5およびコンタクト層6を形成する。その後、この半導体積層構造上に、オーミック接合するソース電極7aとドレイン電極7c、およびショットキー接合あるいはMIS（金属-絶縁体-半導体）接合するゲート電極7bを形成して図3に示した横型GaN系FETが製造される。

【0005】

しかしながら、基板1とGaN単結晶との格子定数は著しく異なっており、この介在層2には、基板1との間の大きな格子不整合に基づく膜厚方向に垂直に延びる転位欠陥が存在している。半導体積層構造中の転位密度は、通常、 $1 \times 10^9 \sim 1 \times 10^{10} \text{ cm}^{-2}$ 程度の値である。そして、介在層2上に、電子走行層4、電子供給層5およびコンタクト層6からなる半導体積層構造を形成する。上記層構造のFETの場合、FET機能を発揮させるためのGaN結晶の半導体積層構造には、前記介在層2に存在していた転位欠陥がそのまま膜厚方向（縦方向）に伝播していて、その転位欠陥の存在数は、例えば半導体積層構造の $1 \mu\text{m}$ 角の平面内に100個程度である。そのため、この半導体積層構造を形成するGaN結晶は、品質が劣化した状態になっている。

【0006】

【特許文献1】特開2003-059948号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

従来、窒化物系化合物半導体を用いた電子デバイスでは、電子走行層以外の部分で転位欠陥等が原因で電流が流れ、このリーク電流によって良好なピンチオフ特性が得られないという問題があった。

そこで、このリーク電流発生の一因である転位欠陥を抑制させる方法が各種試みられてきた。例えば特開2003-059948号には、シリコン基板上にAlNから成る層とGaNから成る層とを交互に複数積層した構造のバッファ層を設け転位欠陥を抑制する方法が提案されている。しかしながらこの方法によても十分にリーク電流を低減することができず、良好なピンチオフ特性が得られなかった。

そこで、本発明の目的は、上記課題を解決し、ピンチオフ特性に優れた窒化物系化合物半

導体を用いた半導体電子デバイスを提供することにある。

【課題を解決するための手段】

【0008】

請求項1の発明は、窒化物系化合物半導体を用いた半導体電子デバイスにおいて、少なくとも基板と、バッファ層、電子走行層及び電子供給層から成る半導体積層構造と電極とを有し、

前記バッファ層は、組成式 $A_{1-x}I_{ny}Ga_{1-x-y}As_uP_vN_{1-u-v}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x + y \leq 1$ 、 $0 \leq u < 1$ 、 $0 \leq v < 1$ 、 $u + v < 1$) から成る第1の層と、組成式 $A_{1-a}I_{nb}Ga_{1-a-b}As_cP_dN_{1-c-d}$ ($0 \leq a \leq 1$ 、 $0 \leq b \leq 1$ 、 $a + b \leq 1$ 、 $0 \leq c < 1$ 、 $0 \leq d < 1$ 、 $c + d < 1$) から成る第2の層を含み、かつ前記第1の層と前記第2の層はバンドギャップエネルギーが異なり、かつ前記バッファ層中の2次元電子ガス密度が $5 \times 10^{12} \text{ cm}^{-2}$ 以下であることを特徴とする。

【0009】

請求項2の発明は、請求項1記載の発明において、前記第1の層の一層当たりの厚みが 0.5 nm 以上 20 nm 以下及び前記第2の層の一層当たりの厚みが 0.5 nm 以上 20 nm 以下であることを特徴とする。

【0010】

請求項3の発明は、請求項1又は請求項2の発明において、前記第2の層のバンドギャップエネルギーが前記第1の層のバンドギャップエネルギーより大きく、かつ前記第2の層のA1組成aが 0.5 以上の場合に、前記第2の層の厚さが 1 nm 以上 10 nm 以下であることを特徴とする。

【0011】

請求項4の発明は、請求項1乃至3の発明において、前記バッファ層はMg又はBe又はZn又はCを $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下含むことを特徴とする。

【0012】

請求項5の発明は、請求項1乃至4のいずれかの発明において、前記バッファ層は、複数の前記第1の層及び複数の前記第2の層を含み、前記第1の層と前記第2の層は交互に積層されていることを特徴とする。

【0013】

請求項6の発明は、請求項1乃至5のいずれかの発明において、1アンペア以上の電流を流し、または100ボルト以上の電圧を印加した時に使用することを特徴とする。

【発明の効果】

【0014】

本発明は、バッファ層を材質の異なる二層以上の層で形成することにより、両層の接触面近傍のバンドギャップエネルギーが小さい方の層に蓄積する2次元電子ガスを原因とするリーク電流を抑制し、ピンチオフ特性に優れたGaN系化合物半導体を用いた半導体電子デバイスを提供することを可能とした。

特に1アンペア以上の高電流出力時または100ボルト以上の高電圧印加時に、ピンチオフ特性に優れ破壊電圧が高く効果が顕著である。

【発明を実施するための最良の形態】

【0015】

以下本発明を図面に示す実施例に基づいて説明する。本発明に係る半導体電子デバイスは、少なくとも基板と、バッファ層と電子走行層と電子供給層とから成る積層構造と電極を備えており、バッファ層は第1の層と第2の層から成る。また基板とバッファ層の間に介在層を有しても良く、電子供給層と電極の間に接触抵抗を下げるためのコンタクト層を有しても良い。さらに、結晶成長用の基板として、サファイア、SiC、Si、GaN、又はGaNなどの材料から成る基板を利用しても良い。

【実施例1】

【0016】

図1は、本発明の第1の実施例である第1の層と第2の層を夫々1層ずつ有する半導体電子デバイスの例を示す図である。

以下、構成を詳細に説明する。

電子デバイス100はシリコン基板1、GaNから成る介在層2、GaNから成るバッファ層3、GaNから成る電子走行層4、AlGaNから成る電子供給層5、GaNから成るコンタクト層6、Al/Ti/Auから成るソース電極7a、Pt/Auから成るゲート電極7b、Al/Ti/Auから成るドレイン電極7cから成る。

ここでバッファ層3はGaNから成る第1の層3a、AlGaNから成る第2の層3bから成り、各々1層ずつが介在層2の上に、第1の層3a、第2の層3bの順で形成されている。

さらに、第1の層3aよりも第2の層3bのバンドギャップエネルギーが大きいという関係にある。

バッファ層3の上には電子走行層4と電子供給層5がこの順で形成され半導体積層構造を構成し、更に電極との接触抵抗を低減するためのコンタクト層6を介してAl/Ti/Auから成るソース電極7a、Al/Ti/Auから成るドレイン電極7cが形成されている。なおPt/Auから成るゲート電極7bはコンタクト層6を介さずに電子供給層5の上に形成されている。

【0017】

本発明は、上記のように構成されており、以下、製造方法および作用を詳細に説明する。成長装置はMOCVD装置を用い、基板はフッ酸等で化学エッチングを加えたシリコン基板1を用いた。

シリコン基板1をMOCVD装置内に導入し、ターボポンプでMOCVD装置内の真空度を 1×10^{-6} hPa以下になるまで真空引きした後、真空度を100 hPaとし基板を800°Cに昇温した。温度が安定したところで、基板1を900 rpmで回転させ、原料となるトリメチルガリウム(TMГ)を58 μmol/min、NH₃を121/mlの流量で基板1の表面に導入しGaNから成る介在層2の成長を行った。成長時間は4minで介在層2の膜厚は50nm程度である。

【0018】

次いで基板温度を1030°Cまで上げた後、トリメチルガリウム(TMГ)を58 μmol/min、NH₃を121/ml、ビスシクロペンタジエニルマグネシウム(CP₂Mg)を0.01 μmol/mlの流量で介在層2の上に導入してGaNから成る第1の層3aの成長を行った。成長時間は100secで、第1の層3aの膜厚は50nmであった。なお、Mgの添加量は 1×10^{-8} cm⁻³である。

次に、トリメチルガリウム(TMГ)を29 μmol/min、トリメチルアルミニウム(TMA)を29 μmol/min、NH₃を121/ml、ビスシクロペンタジエニルマグネシウム(CP₂Mg)を0.01 μmol/mlの流量で第1の層3aの上に導入してAl_{0.5}Ga_{0.5}Nから成る第2の層3bの成長を行った。成長時間は40secで、第2の層3bの膜厚は20nmである。なお、Mgの添加量は 1×10^{-8} cm⁻³である。

この様にバッファ層3として材質の異なる層(3a、3b)を挿入することで下から伝播する転位欠陥の方向を曲げて成長方向への伝播を抑止する効果が得られた。

このようにして転位欠陥を 1×10^{-8} cm⁻²程度に抑止し、これによって転位欠陥の少ないAlGaN/GaNヘテロ構造が得られた。

【0019】

その後、トリメチルガリウム(TMГ)を58 μmol/min、NH₃を121/mlの流量でバッファ層3の上に導入してGaNから成る電子走行層4の成長を行った。成長時間は1000secで、電子走行層4の膜厚は500nmであった。

次に、トリメチルガリウム(TMГ)を41 μmol/min、トリメチルアルミニウム(TMA)を17 μmol/min、NH₃を121/mlの流量で導入し、AlGaNから成る電子供給層5の成長を行った。成長時間は40secで、電子供給層5の膜厚は

20 nmである。

【0020】

更にトリメチルガリウム (TMG) を $58\text{ }\mu\text{mol}/\text{min}$ 、 SiH_4 を $0.01\text{ }\mu\text{mol}/\text{min}$ 、 NH_3 を $121/\text{min}$ の流量で導入して電子供給層5の上に GaN から成るコンタクト層6の成長を行った。コンタクト層6の成長時間は40 secで、コンタクト層6の膜厚は20 nmであった。次いでコンタクト層6上に蒸着によってソース電極7a、ゲート電極7b、ドレイン電極7cを形成した。

【0021】

ソース電極7aとドレイン電極7cの間に電圧を印加し、ゲート電極7bに逆電圧を印加してピンチオフ特性を調べた。その結果、ゲート電極7bへの印加電圧が-3 Vでピンチオフした。

【0022】

次に、リーク電流を測定するためにテスト用のサンプルを作成した。コンタクト層6、電子供給層5、電子走行層4をエッチングで取り除き、バッファ層3上に2個のオームック電極を形成した。2個の電極間に電圧を印加し、リーク電流を測定した結果、 $0.1\text{ }\mu\text{A}$ であった。この値は、従来の方法で作成した半導体電子デバイスのリーク電流 $100\text{ }\mu\text{A}$ に比べて $1/1000$ 程度になっている。また、オフ時の耐圧は523 Vであった。

【実施例2】

【0023】

次に、本発明の第2の実施例について説明する。図2は、本発明の第2の実施例である第1の層と第2の層を夫々30層ずつ有する半導体電子デバイスの例を示す図である。以下、構成を詳細に説明する。

電子デバイス200はシリコン基板1、介在層2、バッファ3、第1の層3a_n、第2の層3b_n、電子走行層4、電子供給層5、コンタクト層6、ソース電極7a、ゲート電極7b、ドレイン電極7cから成る。

第1の層3aと第2の層3bが各々30層ずつシリコン基板1上の介在層2の上に交互に形成されている。ここで第1の層3aを構成する各層を3a₁、3a₂、…、3a₃₀、第2の層3bを構成する各層を3b₁、3b₂、…、3b₃₀という。

さらに、第1の層3aよりも第2の層3bのバンドギャップエネルギーが大きいという関係にある。

バッファ層3の上には電子走行層4と電子供給層5がこの順で形成され積層構造を構成し、更に電極との接触抵抗を低減するためのコンタクト層6を介してTaシリサイドから成るソース電極7a、Taシリサイドから成るドレイン電極7cが形成されている。なおPt/Auから成るゲート電極7bはコンタクト層6を介さずに電子供給層5の上に形成されている。

なお第1の層3aを形成する各半導体層3a₁、3a₂、…、3a₃₀は、第2の層3bを形成する各半導体層3b₁、3b₂、…、3b₃₀よりもバンドギャップエネルギーが小さければ必ずしもそのバンドギャップエネルギーは同じでなくても良い。

同様に、第2の層3bを形成する各半導体層3b₁、3b₂、…、3b₃₀は、第1の層3aを形成する各半導体層3a₁、3a₂、…、3a₃₀よりもバンドギャップエネルギーが大きければ必ずしもそのバンドギャップエネルギーは同じでなくても良い。

【0024】

本発明は、上記のように構成されており、以下、製造方法および作用を詳細に説明する。製造方法は基本的に実施例1と同様であるが、以下の様な相違がある。

【0025】

介在層2を形成後、基板温度を1030°Cまで上げる。トリメチルガリウム (TMG) を $58\text{ }\mu\text{mol}/\text{min}$ 、 NH_3 を $121/\text{min}$ 、ビスシクロペンタジエニルマグネシウム (CP₂Mg) を $0.01\text{ }\mu\text{mol}/\text{min}$ の流量で介在層2の上に導入して GaN から成る第1の層3a₁の成長を行った。成長時間は20 secで、第1の層3a₁の膜厚は10 nmであった。なお、Mgの添加量は $1 \times 10^{-8}\text{ cm}^{-3}$ である。

次に、トリメチルガリウム (TMG) を $29\text{ }\mu\text{mol}/\text{min}$ 、トリメチルアルミニウム (TMA) を $29\text{ }\mu\text{mol}/\text{min}$ 、NH₃ を $12\text{ l}/\text{min}$ 、ビスシクロペンタジエニルマグネシウム (CP₂Mg) を $0.01\text{ }\mu\text{mol}/\text{min}$ の流量で導入し、Al_{0.5}Ga_{0.5}Nから成る第2の層3b₁の成長を行った。成長時間は20secで、第2の層3b₁の膜厚は10nmである。なお、Mgの添加量は $1 \times 10^{18}\text{ cm}^{-3}$ である。これら、第1の層3aの成長と第2の層3bの成長を交互に3a₁、3b₁、3a₂、3b₂、…、3a₃₀、3b₃₀の様に繰り返し、各々30層ずつ形成した。第2の層3b₃₀の上に形成される電子走行層4、電子供給層5、コンタクト層6、電極7a、7b、7cの製造工程は実施例1と同様である。

【0026】

実施例1の場合と同様にしてピンチオフ特性を調べた結果、ゲート電極7bへの印加電圧が-3Vでピンチオフした。この時のオフ時の耐圧は648Vであった。またリーク電流は5nA程度まで低下した。この値は、実施例1で作成した半導体電子デバイス100のリーク電流に比べて1/20程度になっている。

【0027】

なお、リーク電流を低減するためには、バッファ層3は電気的に中性であることが望まれる。ところが、GaN系化合物半導体中の残留不純物は通常 $1 \times 10^{16}\text{ cm}^{-3}$ 程度であり、最低でも $5 \times 10^{15}\text{ cm}^{-3}$ 程度存在し、n型の導電性を示す。従って、このn型キャリアを補償する為に添加するp型不純物は最低 $1 \times 10^{16}\text{ cm}^{-3}$ 程度は必要であるが、実際はp型の活性化率が悪いためp型不純物は $1 \times 10^{18}\text{ cm}^{-3}$ 程度必要となる。そこで本実施例ではp型不純物としてMgを $1 \times 10^{18}\text{ cm}^{-3}$ 添加した。なお補償の為に添加するp型不純物の量が $1 \times 10^{21}\text{ cm}^{-3}$ を超えると、p型となってしまうためp型不純物の量は $1 \times 10^{21}\text{ cm}^{-3}$ 以下とすることが好ましい。

【実施例3】

【0028】

次に、本発明の第3の実施例について説明する。実施例3は実施例1と構成が同じであり、また製造方法も実施例1とほぼ同じであるが、第1の層及び第2の層の成長時間を変化させて第1の層及び第2の層の厚さを変化させた点で実施例1と異なる。

【0029】

実施例1の場合と同様にして測定した、膜厚を変えた場合のリーク電流とCV測定により測定した2次元電子ガス密度を表1に示す。

【0030】

【表1】

| 膜厚(nm) | 第1の層 | 0.2 | 0.5 | 1.0 | 5.0 | 10 | 20 | 25 | 30 |
|---------------------------------------|------|-----|------|-----|-----|-----|-----|----|----|
| | 第2の層 | 0.2 | 0.5 | 1.0 | 5.0 | 10 | 20 | 25 | 30 |
| リーク電流(μA) | | 132 | 10.0 | 0.1 | 0.1 | 0.1 | 1.0 | 54 | 97 |
| 2次元電子ガス密度(10^{12} cm^{-2}) | | 0.1 | 1.0 | 1.0 | 2.0 | 4.0 | 5.0 | 12 | 23 |

【実施例4】

【0031】

次に、本発明の第4の実施例について説明する。実施例4は実施例1と構成は同じであり、また製造方法も実施例1とほぼ同じであるが、第2の層を成長させる際に導入するトリメチルアルミニウム (TMA) の量を変化させて第2の層のAl組成を変化させた点で実施例1と異なる。

【0032】

実施例1の場合と同様にして測定した、第2の層のAlの量を変えた場合のリーク電流を表2に示す。

【0033】

【表2】

| | | | | | |
|-------------|-----|-----|-----|-----|-----|
| 第2の層のA1組成 a | 0.1 | 0.3 | 0.5 | 0.7 | 0.9 |
| リーク電流(μA) | 10 | 5.0 | 0.1 | 0.5 | 5.0 |

【0034】

なお、本発明は前述した実施例に限定されるものではない。例えば実施例において第1の層と第2の層の厚さを同じにしたが、両者の厚さは異なっていても良い。また実施例において第1の層の材質をGaN、第2の層の材質をAlGaNとしたが、第1の層の材質をInGaN、第2の層の材質をAlGaN、第1の層の材質をInGaN、第2の層の材質をGaNとしても良い。さらに実施例ではPt/Auから成るゲート電極を用いたが、Pd、W、Ni等を単体もしくは組み合わせたゲート電極も用いることができる。

【産業上の利用可能性】

【0035】

本発明により、半導体電子デバイスのリーク電流を抑止し、耐圧を向上させることができ、特に高耐圧低オン抵抗で動作するピンチオフ特性に優れた半導体電子デバイスを製造することが可能となる。

【図面の簡単な説明】

【0036】

【図1】本発明の第1の実施形態である半導体電子デバイスの例を示す図である。

【図2】本発明の第2の実施形態である半導体電子デバイスの例を示す図である。

【図3】従来例の半導体電子デバイスの構成を示す図である。

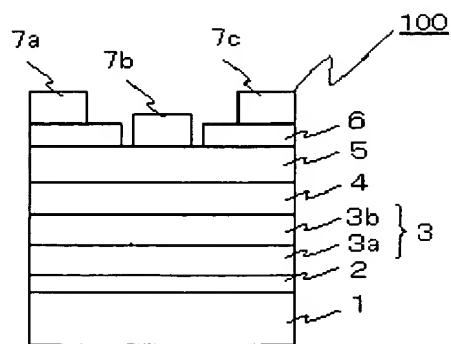
【符号の説明】

【0037】

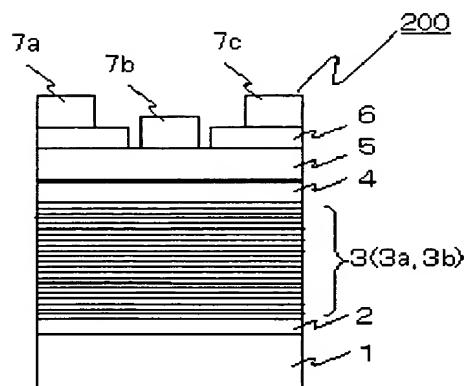
- 1 基板
- 2 介在層
- 3 バッファ層
 - 3a 第1の層
 - 3b 第2の層
- 4 電子走行層
- 5 電子供給層
- 6 コンタクト層
 - 7a ソース電極、
 - 7b ゲート電極
 - 7c ドレイン電極

【書類名】図面

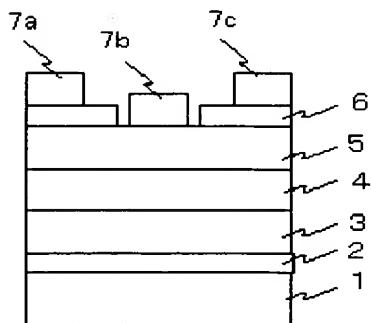
【図1】



【図2】



【図3】



【書類名】要約書

【要約】

【課題】 リーク電流を低減しピンチオフ特性に優れた高耐圧低オン抵抗で動作可能な窒化物系化合物半導体を用いた電子デバイスを提供することにある。

【解決手段】

窒化物系化合物半導体から成る電子デバイスの基板上にバンドギャップエネルギーの異なる薄いバッファ層を交互に複数積層し、バンドギャップエネルギーの異なるバッファ層の接触界面近傍のバンドギャップエネルギーの小さい方の層への2次元電子ガスの蓄積を抑えることによってリーク電流の発生を抑制することにより、ピンチオフ特性に優れた高耐圧低オン抵抗で動作可能な窒化物系化合物半導体を用いた電子デバイスを提供する。

【選択図】 図2

認定・付加情報

| | |
|---------|---------------|
| 特許出願の番号 | 特願2003-313765 |
| 受付番号 | 50301474881 |
| 書類名 | 特許願 |
| 担当官 | 第七担当上席 0096 |
| 作成日 | 平成15年 9月 8日 |

<認定情報・付加情報>

【提出日】 平成15年 9月 5日

特願 2003-313765

出願人履歴情報

識別番号 [000005290]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住所 東京都千代田区丸の内2丁目6番1号
氏名 古河電気工業株式会社